

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호

10-2002-0019444

REC'D **28 APR 2003**WIPO PCT

**Application Number** 

Date of Application

원 년 월 일

2002년 04월 10일

APR 10, 2002

출 원

인 :

주식회사 하이닉스반도체

Hynix Semiconductor Inc.

Applicant(s)

2003

년 04

sı 10

일

특

중

청

**COMMISSIONER** 



PRIORITY DOCUMENT
UBMITTED OR TRANSMITTED IN
COMPLIANCE WITH

RULE 17.1(a) OR (b)

### 【서지사항】

【서류명】 특하출원서

【권리구분】 특허

【수신처】 특허청장

[참조번호] 0001

- 【제출일자】 2002.04.10

【발명의 명칭】 비사각형의 메모리 뱅크를 갖는 반도체메모리장치

【발명의 영문명칭】 memory device with non-quadrangular memory bank

【출원인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 1-1998-004569-8

【대리인】

【명칭】 특허법인 신성

[대리인코드] 9-2000-100004-8

【지정된변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천

【포괄위임등록번호】 2000-049307-2

【발명자】

【성명의 국문표기】 전준현

【성명의 영문표기】CHUN, Jun Hyun【주민등록번호】660519-1812419

【우편번호】 361-300

【주소】 충청북도 청주시 흥덕구 봉명동 90-8 삼정아파트 5-304

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대

리인 특허법인 신

성 (인)

【수수료】

【기본출원료】14면29,000원【가산출원료】0면0원

【우선권주장료】 0 건 0 원

[심사청구료] 0 항 0 원

【합계】 29.000 원

【첨부서류】 1. 요약서· 명세서(도면)\_1통



# 【요약서】

# [요약]

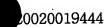
본 발명은 하이 테크롤러지의 개발없이 보다 더 집적화된 메모리장치를 규격화된 패키지 사이즈내에 구현하므로써 저비용으로 고집적, 고효율을 가지는 메모리장치를 제공하데 그 목적이 있는 것으로, 이를 위한 본 발명은, X-디코더와 Y-디코더를 구비하는 메모리 블록을 적어도 3개 이상의 홀수개로 구비하고, 서로 이웃하는 메모리 블록이 서로 다른 개수의 단위 메모리 블록을 갖고 있어 비사각형의 형태를 갖는 다수의 메모리 뱅크; 및 칩의 단축 방향으로 서로 이웃하는 뱅크 사이의 빈 공간에 배치된 패드/컨트롤 블록을 포함하여 이루어진 반도체 메모리 장치를 제공한다.

# 【대표도】

도 3

## 【색인어】

메모리장치, 어레이, 패드, 비사각형, X-디코더, Y-디코더



## 【명세서】

### 【발명의 명칭】

비사각형의 메모리 뱅크를 갖는 반도체메모리장치{memory device with non-quadrangular memory bank}

### 【도면의 간단한 설명】

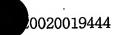
도1은 통상적인 메모리 장치의 뱅크 구성를 보여주는 개략도, 도2는 종래의 메모리 장치의 문제점을 보여주는 개략도, 도3은 본 발명에 따른 반도체장치의 구성을 보여주는 개략도, 도4a 및 도4b는 종래기술과 본 발명을 대비하기 위한 개략도, 도5a 및 도 5b는 본 발명의 다른 실시예를 보여주는 개략도.

### 【발명의 상세한 설명】

## 【발명의 목적】

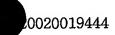
【발명이 속하는 기술분야 및 그 분야의 종래기술】

- 본 발명은 반도체메모리장치에 관한 것으로, 특히 메모리 블록 및 패드/컨트롤블록
   의 어레이에 관련된 것이다.
- 작 알려진 바와 같은 동기식 메모리 장치는 독립적인 데이터 억세스가 가능한 다수
  의 메모리 뱅크로 이루어져 있으며, 통상 4개의 뱅크로 이루어지고, 각각의 메모리 뱅크



는 다시 4개의 메모리 블록으로 분할되는 것이 통상적이다. 여기서 메모리블록이라 함은 동일한 X-디코더와 Y-디코더에 의해 선택되는 다수의 메모리 셀 어레이를 일컫는다.

- 또1은 통상적인 메모리 장치의 메모리 블록의 어레이 구조를 보여주는 것으로, 512Mbit 메모리를 일예로써 도시한 것이다.
- 또1을 참조하면, 메모리 칩(10)은 정사각형 또는 직사형 영역을 갖는 16개의 메모리 블록(MB)을 포함하며, 4개의 메모리 블록이 하나의 뱅크를 이루게 된다. 도1에서 4개의 메모리 뱅크(Bank\_0, Bank\_1, Bank\_2, Bank\_3)가 각기 직사각형 또는 정방형의 영역으로 구성되어 있다.
- 각 메모리블록은 32Mbit에 상응하는 다수의 단위셀로 구성되고, 8Mbit에 상응하는 단위 메모리 블록(UMB)이 4개 모여 구성되게 된다. 각 메모리 블록은 어느 하나의 메모 리 셀을 선택하기 위하여 장축(X축) 및 단축(Y축)으로 X-디코더(X-decoder)와 Y-디코더 (Y-decoder)를 하나씩 구비하게 된다.
- 에모리 칩에는 메모리 블록(MB) 이외에도 패드(12) 및 컨트롤 블록(14)을 배치하여 야 하는 바, 종래기술에 따른 메모리 칩(10)에서는 도1에 도시된 바와 같이 칩의 장축(X축)을 가로 질러 칩 중앙에 패드(12) 및 컨트롤 블록(14)을 배치하고 있다. 잘 알려진 바와 같이 패드(12)는 칩 외부와 신호를 교환하기 위한 것이며, 컨트롤 블록(14)은 칩 외부의 신호의 제어에 의해 메모리 셀의 데이터를 입출력하게끔 하는 회로들을 의미한다
- <12> 상기한 바와 같이 종래의 메모리 칩은 직사각형 또는 정방형의 메모리 블록 및 메 모리 뱅크를 가지게 되는 바. 이러한 구조의 메모리 블록 및 뱅크의 배치는



메모리가 점차 고집적화 되어가고 그에 따라 셀 사이즈가 증가하게 되면서 통상적인 패키지 사이즈로는 패키지 제작이 어려워진다.

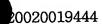
도 2는 이러한 문제점을 도시하고 있는 바, JEDEC에서 규정하고 있는 패키지 사이즈 내에 기존보다 집적화가 중대된(예컨대 256M에서 516M로 고집적화될 때) 16개의 메모리 블록(MB)을 배치함에 있어, 16개의 메모리 블록이 패키지 사이즈 내에 구현될 수 없음을 보여준다. 따라서, 규격화된 패키지 내에 상술한 종래기술에 따른 배치 방법으로 침을 구현하기 위해서는 하이 테크롤러지의 디자인 룰을 필요로 하게 된다. 그러나, 0.145/m 이하의 하이 테크롤러지의 개발을 위해서는 많은 비용 및 시간이 소비되게되고, 이는 적시에 고집적화 메모리 침을 제공하여야 하는 메모리 제조 회사의 입장에서 큰 문제점이 아닐 수 없다.

#### 【발명이 이루고자 하는 기술적 과제】

본 발명은 하이 테크롤러지의 개발없이 보다 더 집적화된 메모리장치를 규격화된 패키지 사이즈내에 구현하므로써 저비용으로 고집적, 고효율을 가지는 메모리장치를 제 공하데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<15 상기 목적을 달성하기 위하여 본 발명은, X-디코더와 Y-디코더를 구비하는 메모리 블록을 적어도 3개 이상의 홀수개로 구비하고, 서로 이웃하는 메모리 블록이 서로 다른 개수의 단위 메모리 블록을 갖고 있어 비사각형의 형태를 갖는 다수



의 메모리 뱅크; 및 칩의 단축 방향으로 서로 이웃하는 상기 메모리 뱅크 사이의 빈 공간에 배치된 패드/컨트롤블록을 포함하여 이루어진 반도체 메모리 장치를 제공한다.

<16>이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

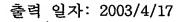
<17> 본 발명의 실시예들은 512Mbit 메모리 장치를 예로써 설명한 것이다.

<18> 도3은 본 발명에 따른 메모리장치를 보여준다.

<19> 도3을 참조하면, 본 발명의 제1실시예에 따른 반도체메모리장치는 12개의 메모리 블록(MB\_0 내지 MB\_11)으로 구성되며, 각 메모리 블록은 하나의 메모리 셀을 선택하기 위하여 장축(X축) 및 단축(Y축)으로 X-디코더(X-decoder)와 Y-디코더(Y-decoder)를 하나 씩 구비하게 된다.

그리고, 본 발명의 반도체 메모리 장치는 3개의 메모리 블록(MB)이 하나의 뱅크를 이루어서, 각기 독립적으로 데이터 입출력이 가능한 4개의 메모리 뱅크(Bank\_0, Bank\_1, Bank\_2, Bank\_3)로 이루어지게 된다.

◇21> 하나의 뱅크(Bank\_0)를 이루는 3개의 메모리 블록(MB\_0 내지 MB\_2)을 각각 살펴보면, 제1메모리블록(MB\_0)은 8Mbit 메모리 셀을 갖는 단위 메모리 블록(UMB)을 6개 포함하고 있어 48Mbit를 이루고 있다. 제2 및 제3 메모리블록(MB\_1, MB\_2)는 각기 5개의 단위 메모리 블록(UMB)으로 구성되어 40Mbit를 이루게 된다. 나머지 3개의 뱅크(Bank\_1, Bank\_2, Bank\_3)도 동일한 구성을 가지고 있다. 따라서, 각 메모리 뱅크는 직사각형 또는 정방형이 아닌 비사각형의 형태를 가지게 된다.





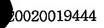
- 한편, 48MBit 메모리 블록은 X-디코더가 연속되는 단위 메모리 블록(UMB)의 사이의 공간에 형성될 수 있는 바, 이는 이웃하는 40Mbit 메모리 블록의 X-디코더와 그 설계를 유사하게 가져가기 위한 것으로, 48MBit 메모리 블록의 어느 곳에 위치하여도 무방하다.
- 도 3에서 뱅크(Bank\_0)가 2사분면에 배치되어 있고, 뱅크(Bank\_1)이 3사분면에 배치되어 있다. 뱅크(Bank\_2)는 1사분면에 배치되어 있고, 뱅크(Bank\_3)이 4사분면에 배치되어 있다. 뱅크 Bank\_0의 48Mbit 메모리 블록(MB\_0)과 뱅크 Bank\_1의 48Mbit 메모리 블록(MB\_4)은 각 뱅크의 영역에서 최 좌측에 배치되어 있고, 뱅크 Bank\_2의 48Mbit 메모리 블록(MB\_8)과 뱅크 Bank\_4의 48Mbit 메모리 블록(MB\_11)은 각 뱅크의 영역에서 최우측에 배치되어 있다.
- 상하(y축 방향)로 이웃하고 있는 48Mbit 메모리 블록 MB\_0 및 MB\_3 또는 MB\_8 및 MB\_11의 사이에는 패드 및 컨트롤블록이 배치될 정도의 공간이 제공되지 않으나, 상하이웃하고 있는 40MBit 메모리 블록들 간에는 충분한 공간이 제공되기에 이 공간에 패드 (120) 및 컨트롤 블록(140)이 배치된다. 즉, 패드(120) 및 컨트롤 블록(140)은 칩의 장축(X축)을 가로 질러 칩 중앙에 배치되되, 칩의 X축을 6등분하였을 때, 2/6 내지 5/6에지점에만 배치된다.
- 도 4a 내지 도 4b는 종래기술과 본 발명을 대비하기 위한 것으로서, 동일 테크롤러지 하에서 본 발명(도 4b)의 경우 규격화된 패키지 사이즈를 만족하고 있음을 알 수 있다.



- ②6> 결국, 본 발명은 종래의 정형화된 사각형 형태의 뱅크 구조를 벗어나, 비 사각형의 뱅크 구조를 가짐으로 해서, 규격화된 패키지 사이즈내에 하이 테크롤러지의 개발없이 고집적화 메모리의 구현을 가능하게 하여 준다.
- 도 5a 및 도 5b는 본 발명의 다른 실시예를 보여주는 것으로, 도5a는 48Mbit 메모리 블록(MB)을 전체 칩의 중앙에 배치하는 경우를 도시한 것이고, 도 5b는 48Mbit 메모리 블록(MB)을 각 뱅크 영역의 중앙에 배치하는 경우를 도시한 것으로, 도 5a 및 도 5b의 경우에는 패드 및 컨트롤블록(PAD & Control Block)이 2개 영역 또는 3개 영역으로나뉘어 배치되게 되지만, 규격화된 패키지 사이즈를 모두 만족하고 있다.
- 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

본 발명은 종래의 정형화된 사각형 형태의 뱅크 구조를 벗어나, 비 사각형의 뱅크 구조를 가짐으로 해서, 규격화된 패키지 사이즈내에 하이 테크롤러지의 개발없이 고집적 화 메모리의 구현을 가능하게 하여 주므로, 저비용으로 고집적, 고효율의 메모리장치를 구현하는 것이 가능하게 된다.



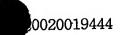
## 【특허청구범위】

## 【청구항 1】

X-디코더와 Y-디코더를 구비하는 메모리 블록을 적어도 3개 이상의 홀수개로 구비하고, 서로 이웃하는 메모리 블록이 서로 다른 개수의 단위 메모리 블록을 갖고 있어 비사각형의 형태를 갖는 다수의 메모리 뱅크; 및

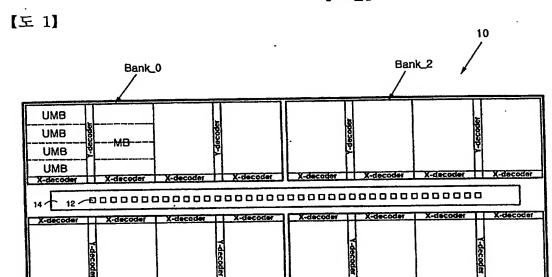
칩의 단축 방향으로 서로 이웃하는 상기 메모리 배크 사이의 빈 공간에 배치된 패 드/컨트롤블록

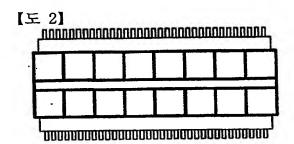
을 포함하여 이루어진 반도체 메모리 장치.





Bank\_3





Bank\_1

